

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-210907

⑬ Int. Cl.<sup>5</sup>

H 03 K 3/037

識別記号

B

庁内整理番号

7125-5J

⑭ 公開 平成2年(1990)8月22日

審査請求 未請求 請求項の数 3 (全9頁)

⑮ 発明の名称 フリップフロップ回路

⑯ 特 願 平1-30800

⑰ 出 願 平1(1989)2月9日

⑱ 発 明 者	市 岡 俊 彦	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱ 発 明 者	田 中 幸 太 郎	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱ 発 明 者	秋 山 正 博	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑳ 代 理 人	弁理士 柿本 恭成		

## 明 細 書

### 1. 発明の名称

フリップフロップ回路

### 2. 特許請求の範囲

1. クロック信号によりオン、オフ動作して入力データを入力する第1のトランスファゲートと、前記クロック信号によりオン、オフ動作して前記入力データと逆相の反転入力データを入力する第2のトランスファゲートと、前記第1及び第2のトランスファゲートの出力側に接続されたラッチ回路と、前記第1及び第2のトランスファゲートの出力側にそれぞれ接続された出力用の第1及び第2のインバータとを備えたフリップフロップ回路において、

前記ラッチ回路は、

セット信号により論理レベルが変化する2入力第1の論理ゲートと、

リセット信号により論理レベルが変化する2入力第2の論理ゲートとを、

前記第1及び第2のトランスファゲートの出力

側にたすき接続して構成したことを特徴とするフリップフロップ回路。

2. 請求項1記載のフリップフロップ回路において、

前記第1または第2の論理ゲートのいずれか一方をインバータで構成したフリップフロップ回路。

3. 請求項1または2記載のフリップフロップ回路において、

前記フリップフロップ回路を2段縦続接続したフリップフロップ回路。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体デジタル集積回路等におけるフリップフロップ回路(以下、FF回路という)に関するものである。

(従来技術)

従来、この種のFF回路としては、信学技報ED87-144、(1988-1-20)、四方・田中・秋山著「DCFILを用いたフリップフロップ回路の超高速化の検討」、P. 61-66

に記載されるものがあつた。以下、その構成を図を用いて説明する。

第2図は従来のマススレーブ型のFF回路の一構成例を示す回路図である。

このFF回路はマスタ側回路とスレーブ側回路とで構成されている。マスタ側回路は、クロック信号CKによりオン、オフ動作して入力データDを入力するトランスファゲート1と、クロック信号CKによりオン、オフ動作して反転データ $\bar{D}$ を入力するトランスファゲート2とを備え、そのトランスファゲート1、2の出力側ノードN1、N2には、データを一時保持するためにたすき接続された2個のインバータ11、12と、次段ゲート駆動用インバータ13、14とが接続されている。インバータ13、14の出力側ノードN11、N12に接続されたスレーブ側回路は、マスタ側回路と同様に、反転クロック信号 $\bar{CK}$ によりオン、オフ動作するトランスファゲート21、22を備え、その出力側ノードN21、N22にデータ保持用の2個のインバータ31、32と、

出力用インバータ33、34とが接続され、そのインバータ33、34から出力データQ及び反転出力データ $\bar{Q}$ が出力される構成になっている。

次にこのFF回路の動作を説明する。

まず、クロック信号CKが、高レベル（以下、“H”という）、反転クロック信号 $\bar{CK}$ が低レベル（以下、“L”という）の時、トランスファゲート1および2がオン状態となり、ノードN1、N2にそれぞれ入力データDと反転入力データ $\bar{D}$ が出力される。

次に、クロック信号CKが“L”、反転クロック信号 $\bar{CK}$ が“H”となると、トランスファゲート1および2がオフ状態となり、入力データDと反転入力データ $\bar{D}$ は回路から切り離される。この時、ノードN1、N2の論理レベルは、インバータ11および12からなるラッチ回路により保持される。一方、反転クロック信号 $\bar{CK}$ が入力するトランスファゲート21および22のゲートはオンとなり、Q、 $\bar{Q}$ には、入力データDまたは反転入力データ $\bar{D}$ がそれぞれ出力される。以上のように、

に、このFF回路はクロック信号CKが“H”の間に入力データD及び反転入力データ $\bar{D}$ を取り込み、それをクロック信号CKが“L”になった時に出力データQおよび反転出力データ $\bar{Q}$ の形で出力するというフリップフロップ動作をする。

低消費電力で占有面積が小さく、構成が簡単なDCFL(Direct Coupled FET Logic)で第2図のFF回路を構成すると、高速動作が可能となる。特に、このFF回路のクリティカルパスは、バッファ用インバータ13、33又は14、34の2段と、トランスファゲート1、21又は2、22の2段であり短い。そのため、トランスファゲート1、2、21、22のスイッチング速度の高速性とあわせて、かなり的高速動作が可能である。（発明が解決しようとする課題）

しかしながら、上記構成のFF回路では、前述したように高速動作が可能であるという優れた利点を存するものの、入力データの論理状態を変えなければ、出力データを“H”または“L”に設定することができない。つまり外部から強制的に

セットまたはリセットできなかった。そのため、フリップフロップの出力について、論理動作のための必要な初期状態を得ることが困難であつた。これを防止するためには、セット、リセット回路を付加すればよいが、動作速度の低下、回路構成の複雑化、あるいは回路形成面積の増大等といった問題を生じ技術的に十分満足のいくFF回路を得ることが困難であつた。

本発明は、前記従来技術の持っていた課題として、動作速度の低下、回路構成の複雑化、回路形成面積の増大等といった弊害を生じることとはなく、セット／リセット機能を付加することが困難である点につき解決したセット／リセット機能付きのFF回路を提供するものである。

（課題を解決するための手段）

前記課題を解決するために、第1の発明では、クロック信号により、オン、オフ動作して入力データを入力する第1のトランスファゲートと、前記クロック信号により、オン、オフ動作して前記入力データと逆相の反転入力データを入力する第

2のトランスファゲートと、前記第1および第2のトランスファゲートの出力側に接続された出力用の第1および第2のインバータとを備えたFF回路において、前記ラッチ回路を次のように構成したものである。即ち、前記ラッチ回路は、セット信号により論理状態が変化する2入力の第1の論理ゲートと、リセット信号により論理状態が変化する2入力の第2の論理ゲートとを、前記第1および第2のトランスファゲートの出力側にたすき接続して構成している。

第2の発明は、第1の発明における第1または第2の論理ゲートのいずれか一方をインバータで構成している。

第3の発明は、第1または第2の発明におけるFF回路を2段縦続接続したものである。

#### (作用)

第1の発明によれば、以上のようにFF回路を構成したので、たすき接続された第1および第2の論理ゲートは、第1、第2のトランスファゲートを通して入力された入力データを一時保持し、

リオン、オフ動作して反転入力データ $\overline{D}$ を入力するFETからなる第2のトランスファゲート42とを備えている。第1のトランスファゲート41の出力側のノードN41には、第1の論理ゲートである第1の2入力NORゲート51の第1の入力端子と、第1のインバータ61の入力端子とが接続されると共に、第2のトランスファゲート42の出力側のノードN42には、第2の論理ゲートである第2の2入力NORゲート52の第1の入力端子と、第2のインバータ62の入力端子とが接続されている。第1の2入力NORゲート51の出力側は、第2の2入力NORゲート52の第1の入力端子に、第2の2入力NORゲート52の出力側は第1の2入力NORゲート51の第1の入力端子にそれぞれ接続されている。第1、第2の2入力NORゲート51、52の第2の入力端子には、それぞれセット信号Sとリセット信号Rが接続され、第1、第2の2入力NORゲート51、52とでラッチ回路を構成し、データを一時保持する機能を有している。第1、第2のイ

セット信号またはリセット信号により、保持データを“H”または“L”に強制的に設定するように働く。

第2の発明によれば、たすき接続されたインバータと論理ゲートはラッチ動作を行い、その論理ゲートにより、セットまたはリセットのいずれか一方が可能になる。

第3の発明によれば、2段縦続接続されたFF回路は、マスタスレーブ型FF回路として動作する。

従って、前記課題を解決できるのである。

#### (実施例)

第1図は本発明の第1の実施例を示すマスタスレーブ型のFF回路の回路図である。

このFF回路は遅延(D)型FF回路として動作するもので、マスタ側回路とスレーブ側回路とで構成されている。マスタ側回路は、クロック信号CKによりオン、オフ動作して入力データDを入力する電界効果トランジスタからなる第1のトランスファゲート41と、クロック信号CKによ

ンバータ61、62は、次段のゲートを駆動するためのもので、その出力側ノードN51、N52にはスレーブ側回路が接続されている。

スレーブ側回路は、マスタ側回路同様に、反転クロック信号 $\overline{CK}$ によりオン、オフ動作するFETからなる第1、第2のトランスファゲート71、72を備えている。その出力側のノードN61、N62にはデータを保持するため、第1、第2の2入力NORゲート81、82がマスタ側回路同様に接続され、その第1の2入力NORゲートの第2の入力端子にはリセット信号Rが、第2の2入力NORゲートの第2の入力端子にはセット信号Sがそれぞれ接続されている。さらにノード61、62には出力用の第1、第2のインバータ91、92が接続され、そのインバータ91、92から出力データQおよび反転出力データ $\overline{Q}$ が出力される構成となっている。

第3図は、第1図中の2入力NORゲート51、52、81、82の一構成例を示す回路図である。

この2入力NORゲートは、MOSTランジス

タやショットキー障壁ゲート電界効果トランジスタ(以下、MESFETという)等のノーマリオフ型FET100、101と、ノーマリオン型FET102で構成されている。即ち、入力信号IN1でオン、オフ制御されるFET100と、入力信号IN2でオン、オフ制御されるFET101とが並列接続され、そのFET100、101と電源VDDとの間に、負荷用のFET102が接続されている。この2入力NORゲートでは、入力信号IN1とIN2との否定論理和が出力信号OUTとして出力される。

第4図は、第1図中のインバータ61、62、91、92の一構成例を示す回路図である。

このインバータでは、MOSFETやMESFET等のノーマリオン型FET110とノーマリオフ型FET111とが、電源VDDとグラウンドとの間に直列に接続されている。入力信号INがFET110、111のゲートに入力されると、そのFET110、111の接続点から反転された出力信号OUTが出力される。

に等しくなり、それぞれ“L”、“H”になる。したがって、出力データQは“H”、反転出力データ $\bar{Q}$ は“L”となる。

ここで、時刻 $t_1 \sim t_2$ 間の $t_a$ においてリセット信号Rが“H”となりリセット信号が入力されたとする。すると2入力NORゲート81の出力は“L”となり2入力NORゲート82の2入力も“L”であるから出力は“H”となる。従って、Qは“L”、 $\bar{Q}$ は“H”となる。この時マスタ側のNORゲート51、52の出力はCKが“H”であるから変わらず各ノードのレベルはN41が“H”、N42が“L”、N51が“L”、N52が“H”である。次に時刻 $t_2$ でCKが“L”、 $\bar{CK}$ が“H”となると、トランスファゲート41、42はデータから切り離され、リセット信号により2入力NORゲート52の出力は“L”となり、2入力NORゲート51の2入力も共に“L”となるから出力は“H”となる。従ってノードN51は“H”、N52は“L”となる。時刻 $t_2$ ではスレーブ側入力のトランスファゲート

第5図は、第1図の動作を示すタイムチャートであり、この図を参照しつつ第1図のFF回路の動作を説明する。

先ず初期状態として、“H”のクロック信号CK、“L”の反転クロック信号 $\bar{CK}$ 、“H”の入力データD、及び“L”の反転入力データ $\bar{D}$ が印加され、また出力データQ、反転出力データ $\bar{Q}$ がそれぞれ“L”、“H”、セット信号Sが“L”、リセット信号Rが“L”とする。

時刻 $t_1$ において、クロック信号CKが“L”、反転クロック信号 $\bar{CK}$ が“H”となれば、マスタ側のトランスファゲート41、42がオフ状態となる。2入力NORゲート51、52により構成されたラッチ回路により、ノードN41、N42は以前の論理レベルを保持し、それぞれ“H”、“L”である。したがって、ノードN51、N52はそれぞれ“L”、“H”のままである。一方、スレーブ側のトランスファゲート71、72は、オンとなり、ノードN61、N62の論理レベルは、それぞれノードN51、N52の論理レベル

ト71と72は $\bar{CK}$ が“H”であるから、導通状態であり時刻 $t_a$ におけるリセット信号により生じた各ノードの電圧レベル、すなわちノードN61が“H”、N62が“L”、Qが“L”、 $\bar{Q}$ が“H”は保たれる。

この論理レベルは時刻 $t_2 \sim t_3$ 間の時刻 $t_h$ において、リセット信号Rが“L”となっても2入力NORゲート81、82で構成されたラッチ回路により、時刻 $t_3$ のクロック信号CKが“L”となるまで保持される。時刻 $t_3$ で出力データQ、反転出力データ $\bar{Q}$ はそれぞれデータ信号の論理レベルに従って、出力データQが“H”、反転出力データ $\bar{Q}$ が“L”となる。

次に時間 $t_3 \sim t_4$ 間の時刻 $t_c$ において、入力データD、反転入力データ $\bar{D}$ がそれぞれ“L”、“H”に変化するため、時刻 $t_4$ で出力データQが“L”、反転出力データ $\bar{Q}$ が“H”となる。

ここで時刻 $t_4 \sim t_5$ 間の時刻 $t_d$ において、セット信号Sが“H”になると、2入力NORゲート51の出力が“L”となり、2入力NORゲート

ート52は2入力と共に“L”であるから、その出力が“H”となる。従って、各ノードの論理レベルはN51が“L”、N52が“H”、N61が“L”、N62が“H”となり、出力データQが“H”、反転出力データ $\bar{Q}$ が“L”となる。この論理レベルは時刻 $t_4 \sim t_5$ 間の時刻 $t_e$ において、セット信号Sが“L”となっても2入力NORゲート81、82で構成されたラッチ回路により、時刻 $t_5$ のクロックが“L”となるまで保持される。

このFF回路の真理値表を示すと以下の様になる。

真理値表

S <sub>n</sub>	R <sub>n</sub>	Q <sub>n+1</sub>
0	0	Q <sub>n</sub>
0	1	0
1	0	1
1	1	禁止

真理値表

S <sub>n</sub>	R <sub>n</sub>	Q <sub>n+1</sub>
1	1	Q <sub>n</sub>
0	1	0
1	0	1
0	0	禁止

この実施例では、第1の実施例と同様の利点を有している。

第7図は、本発明の第3の実施例を示すFF回路の回路図である。

この第3の実施例は、第1の実施例のセット信号Sが入力する2入力NORゲート51、82をインバータ51B、82Bに置き換え、セット信号入力端子Sを除去した構成となっている。

この動作は、第1の実施例のセット信号Sを排除した点を除き、同様である。この実施例では、前記の構成としたので、回路素子数が削減と、動作速度の高速化が図られる。

第8図は、本発明の第4の実施例を示すFF回

本実施例は、次のような利点を有している。

入力データD及び反転入力データ $\bar{D}$ の論理状態を変えずに、出力データを“H”または“L”に設定することができ、そのためフリップフロップの出力について論理動作のための必要な初期状態を得ることが可能となった。また、セット/リセット回路を付加せずに、セット/リセット設定ができるので、セット/リセット回路を付加しなければ、それができなかった従来技術に比べて、動作速度の高速化、回路構成の簡略化、あるいは回路形成面積の縮小等が可能となる。

第6図は、本発明の第2の実施例を示すFF回路の回路図である。

この第2の実施例は、第1の実施例の2入力NORゲート51、52、81、82が2入力NANDゲート51A、52A、81A、82Aに置き換えられた構成となっている。

この動作は、次の真理値表に示すように、第1の実施例とほぼ同様である。

路の構成図である。

この第4の実施例は、第1の実施例のリセット信号Rが入力する2入力NORゲート52、81をインバータ52C、81Cに置き換え、リセット信号入力端子Rを除去した構成となっている。この動作は、第1の実施例のリセット信号Rを排除した点を除き、同様である。この実施例では、第3の実施例と同様の利点がある。

なお、本発明は図示の実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(i) 第1～第4の実施例では、マスタスレーブ型FF回路について説明したが、マスタ側回路またはスレーブ側回路のみを単体でデータラッチ回路等として用いることもできる。

(ii) トランスファゲート41、42、71、72はFETで構成したが、他のユニポーラ型トランジスタやバイポーラ型トランジスタで構成してもよい。同様に、インバータ61、62、91、92も図示以外の回路で構成できる。

(iii) 第1, 第2の論理ゲートは、2入力NORゲートおよび2入力NANDゲート以外のゲート回路で構成してもよい。

(発明の効果)

以上、詳細に説明したように、第1の発明によれば、セット/リセット信号により、論理レベルが変化するラッチ回路を設けたので、外部から強制的にセットまたはリセットができる。このため、セット/リセット回路を付加せずにセット/リセット設定ができ、動作速度の高速化、回路構成の簡略化、あるいは回路形成面積の縮小等が可能となる。

第2の発明によれば、論理ゲートの一方をインバータで構成したので、第1の発明に比べて少ない回路構成素子数で、セットあるいはリセットができる。

第3の発明によれば、第1または第2の発明のFF回路を2段縦続接続してマスタスレーブ型FF回路構成にしたので、クロック信号の欠陥によるFF回路の発振等を防止でき、セット/リセ

ット機能を備えた動作の安定したFF回路を提供できる。

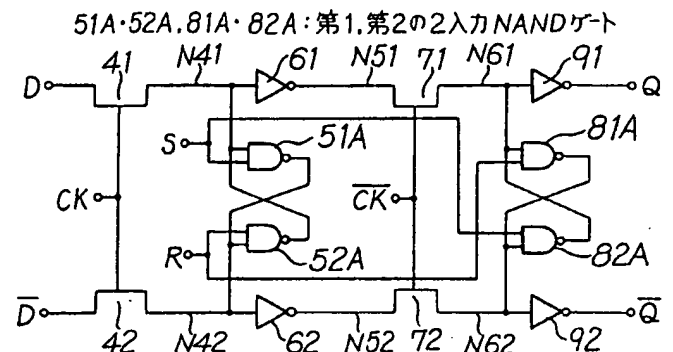
#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例のFF回路の回路図、第2図は従来のFF回路の回路図、第3図は第1図中の2入力NORゲートの回路図、第4図は第1図中のインバータの回路図、第5図は第1図のタイムチャート、第6図は本発明の第2の実施例のFF回路の回路図、第7図は本発明の第3の実施例のFF回路の回路図、第8図は本発明の第4の実施例のFF回路の回路図である。

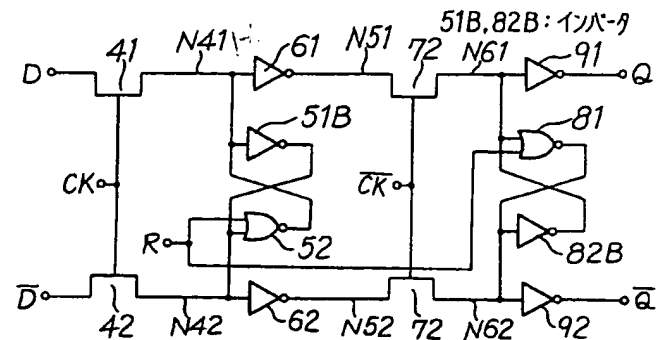
41, 42……第1のトランスファゲート、71, 72……第2のトランスファゲート、51, 81……第1の2入力NORゲート、52, 82……第2の2入力NORゲート、61, 62……第1のインバータ、91, 92……第2のインバータ、CK……クロック信号、 $\overline{CK}$ ……反転クロック信号、D……入力データ、 $\overline{D}$ ……反転入力データ、Q……出力データ、 $\overline{Q}$ ……反転出力データ、N41, N42, N51, N52, N61, N62……ノード、S……セット信号、R……リセット信号、51A, 52A……第1のNANDゲート、81A, 82A……第2のNANDゲート。

N62……ノード、S……セット信号、R……リセット信号、51A, 52A……第1のNANDゲート、81A, 82A……第2のNANDゲート。

出願人 沖電気工業株式会社  
代理人弁理士 柿本恭成

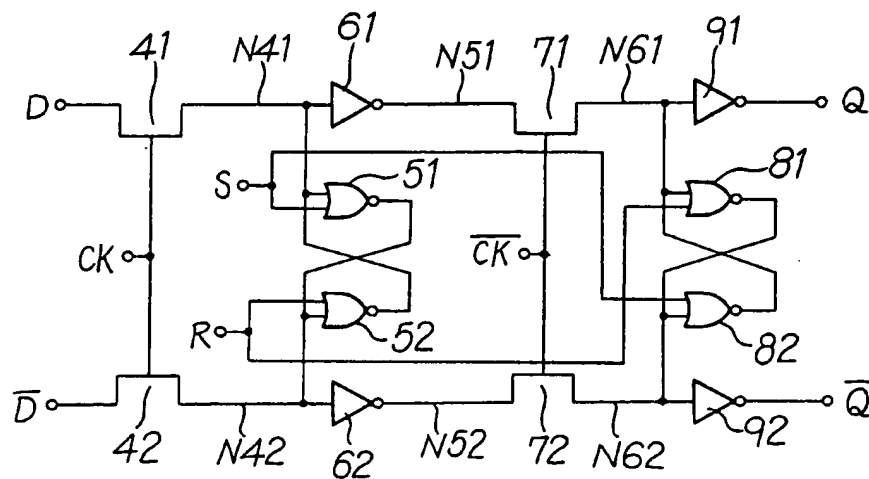


本発明の第2の実施例のFF回路  
第6図

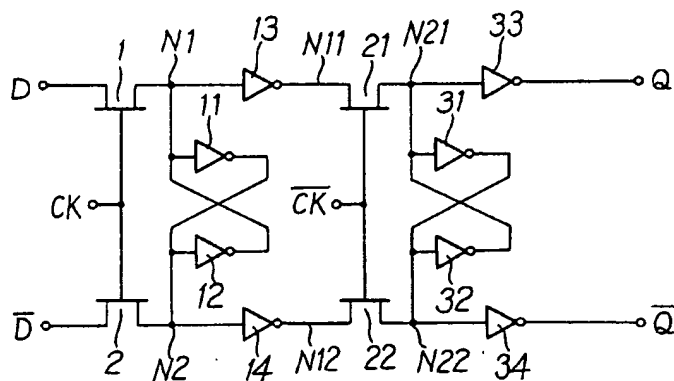


本発明の第3の実施例のFF回路  
第7図

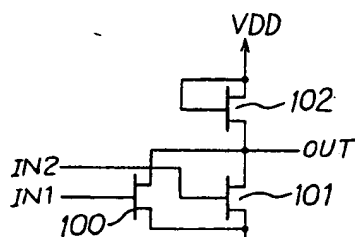
41・42, 71・72: 第1, 第2のトランジスタ  
 51・58, 52・82: 第1, 第2の2入力NORゲート  
 61・62, 91・92: 第1, 第2のインバータ  
 N41, N42, N51, N52, N61, N62: ノード  
 S: セット信号  
 R: リセット信号



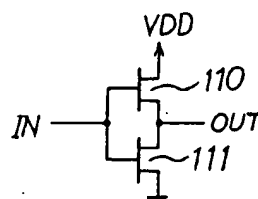
本発明の第1の実施例のFF回路  
 第1図



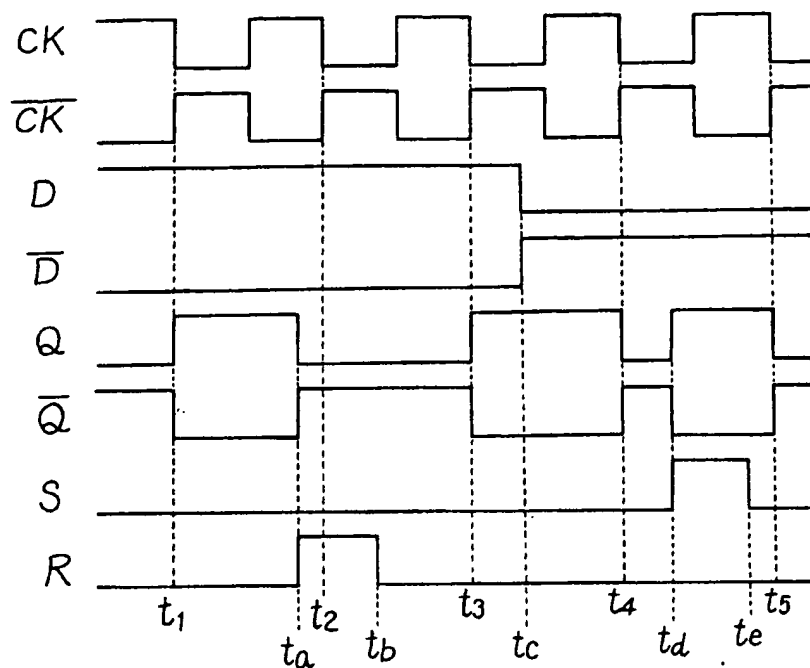
従来のFF回路  
 第2図



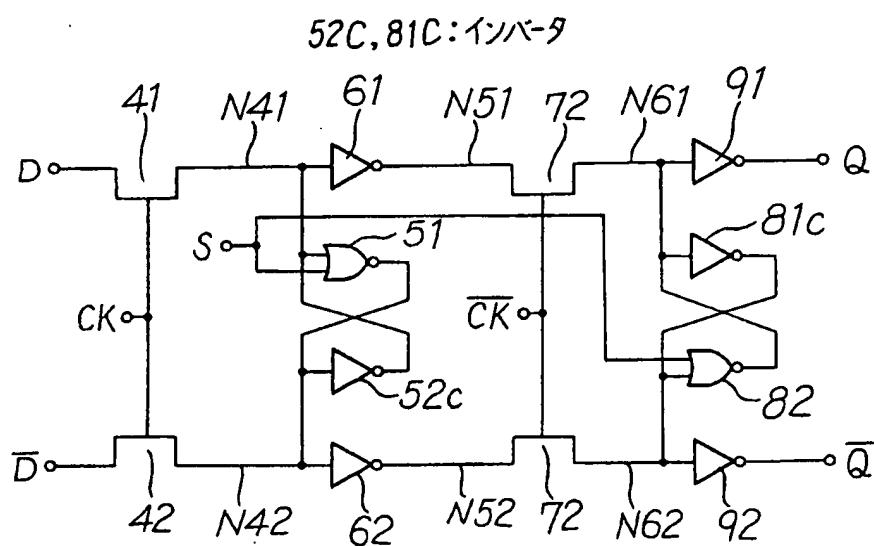
第1図中の2入力NORゲート  
 第3図



第1図中のインバータ  
 第4図



第1図のタイミングチャート  
第5図



本発明の第4の実施例のFF回路  
第8図



手続補正審

平成 元年 6月<sup>29</sup>~~30~~日

特許庁長官 古田 文 毅 殿

1 事件の表示  
平成 1 年 特 許 願 第 30800 号

2 発明の名称  
フリップフロップ回路

3 補正をする者  
事件との関係  
住所  
名称  
代表者

特許出願人  
東京都港区虎ノ門1丁目7番12号  
(029) 沖電気工業株式会社  
小 杉 信 光

4 代理人 (郵便番号 101)  
東京都千代田区神田駿河台二丁目11番16号  
(電話東京(293)5463 代袋)  
8680 弁理士 柿 本 恭 成

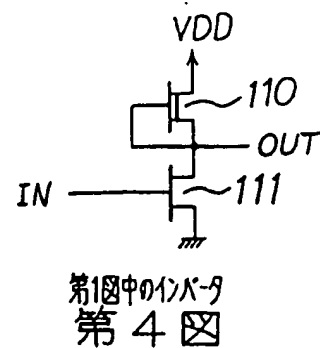
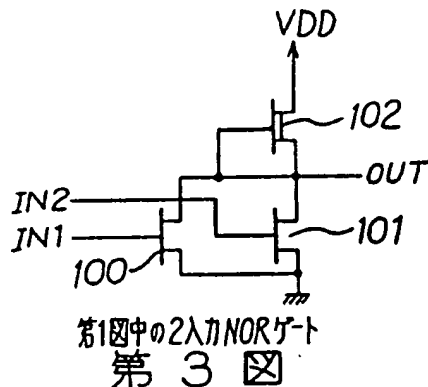
5 補正命令の日付 自 発

6 補正の対象  
明細書の「発明の詳細な説明」の欄、及び図面

## 7 補正の内容



- (1) 明細書、11頁8行の「FET」を「ノーマリオン形 FET」と補正する。
- (2) 第3図及び第4図を別紙の通り補正する。



PAT-NO: JP402210907A  
DOCUMENT-IDENTIFIER: JP 02210907 A  
TITLE: FLIP-FLOP CIRCUIT  
PUBN-DATE: August 22, 1990

INVENTOR-INFORMATION:

NAME

ICHIOKA, TOSHIHIKO

TANAKA, KOTARO

AKIYAMA, MASAHIRO

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP01030800

APPL-DATE: February 9, 1989

INT-CL (IPC): H03K003/037

US-CL-CURRENT: 327/217

ABSTRACT:

PURPOSE: To add a set/reset function without decreasing the operating speed, making the circuit constitution complicated and increasing the circuit forming area by providing a latch circuit consisting of the latch connection of logic gates or the like and connecting two-stage of FF circuits in cascade.

CONSTITUTION: First and second two-input NOR gates 51, 52 are connected in a form of a crossover on the output side of 1st and 2nd transfer gates 41, 42 to constitute a latch circuit, in which data is tentatively stored. On the other hand, a set signal S and a reset signal R are connected to one input terminal

of the gates 51, 52, the logic state of the gates 51, 52 is changed by using the signals S and R and the stored data is brought forcibly to an H or an L level. Moreover, two-input NOR gates 81, 82 are also connected in a form of a crossover and the signals S, R are given to the gates 82, 81. Since external forced set/reset is thus available, no set/reset circuit is required thereby simplifying the circuit constitution, quickening the operating speed and making the circuit forming area small. Moreover, an inverter is employed for one of gates to offer the set/reset with less number of components.

COPYRIGHT: (C)1990,JPO&Japio